Eine geeignete Schaltkreistechnologie für einen 3D-SOI-Prozeß mit T-Gate Transistoren

M. Bühler, B. Stöhr, U.G. Baitinger, IPVR-ISE, Universität Stuttgart, Stuttgart
A. Gerstlauer, University of California, Irvine, USA

Einleitung

In der hier vorgestellten Arbeit[1] wird eine neue dreidimensionale CMOS-SOI-Technologie mit T-Gate-Transistoren (im folgenden 3D-CMOS) vorgestellt. Insbesondere wird die Frage untersucht, ob es Schaltkreistechnologien gibt, die sich zur Implementierung in 3D-CMOS besser eignen als statisches CMOS.

1 Die 3D-CMOS Technologie

Die hier vorgestellte 3D-CMOS-Technologie

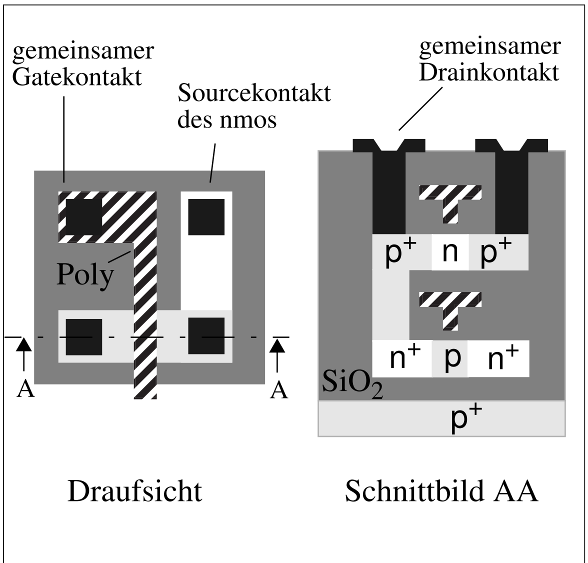

Bild 1: 3D-CMOS-SOI mit T-Gates

(**Bild 1**) soll drei Entwicklungen der jüngeren Zeit miteinander vereinigen. Sie wurden maßgeblich am Institut für Mikroelektronik Stuttgart (IMS) entwickelt und haben zum Ziel, die Herstellung integrierter Schaltungen mit erhöhter Integrationsdichte, niedriger Verlustleistung bei gleichzeitig gesteigerter Geschwindigkeit zu ermöglichen:

1. T-Gate-Technologie: Sie ermöglicht die Entkoppelung der Kanallänge von der Lithographie. Bei einer gezeichneten Kanallänge von 0.8 µm beträgt die effektive Länge nur 0.1µm [1].
   Die erhöhte Treiberleistung erlaubt den Einsatz von Transistoren minimaler Breite.
2. Silicon-on-Insulator Technologie (SOI): Sie führt zu einer drastischen Senkung der parasitären Kapazitäten, was sowohl die Schaltgeschwindigkeit als auch den Energieverbrauch positiv beeinflußt [4,5].
3. Stapeln der p- und n-Transistoren [2, 3]: Wie Bild 1 zeigt, ist dadurch eine Reduktion des Flächenbedarf möglich. Dies führt auf Grund der kürzeren Verdrahtungslängen ebenfalls zu Schaltungen höherer Geschwindigkeit und niedrigeren Flächenbedarfs.

2 Eine Schaltkreistechnik für 3D-CMOS

Für die Zukunft ist geplant, 3D-CMOS im Rahmen der Sea-of-Gates Umgebung des IMS einzusetzen [14].

Um allerdings die in Abschnitt 1 genannten Vorteile ausnützen zu können, müssen besondere Anforderungen an die zu verwendende Schaltkreistechnologie gestellt werden:

1. Gleiche Anzahl von p- und n-Transistoren, weil jeweils ein p- und ein n-Transistor pro Transistorplatz realisiert werden können.
2. Durch das Stapeln der Transistoren und die Verwendung von Transistoren minimaler Breite, ergibt sich eine sehr hohe Integrationsdichte. Dies erschwert die Verdrahtung. Eine Schaltkreistechnologie, die eine lokale Verdrahtung der gestapelten Transi-

1. Diese Arbeit wird unterstützt von der Europäischen Union: HIPERLOGIC ESPRIT IV Projekt (Nummer 20023).

storen unterstützt, ist deshalb von Vorteil.

3. Der Einsatz in einer Sea-of-Gates Umgebung impliziert den Einsatz automatischer CAD-Werkzeuge. Die Schaltkreistechnologie sollte deshalb robust sein gegenüber den Einflüssen von Rauschen, Prozeßschwankungen, und unterschiedlicher Belastung der Zellen.
4. Gutes Power-Delay-Produkt, insbesondere auch die Eignung für niedrige Versorgungsspannungen.

In der Vergangenheit wurde eine Vielzahl von Schaltkreistechnologien vorgestellt [5 -12].

Es zeigt sich, daß in vielen Fällen z.B. nur ein Transistortyp bevorzugt wird (bei den meisten Passtransistortechniken und bei dynamischer Logik), eine hohe Rauschempfindlichkeit besteht (dynamische Logik) oder aber sorgfältige, manuelle Dimensionierung einzelner Transistoren erforderlich ist [8].

Es stellt sich heraus, daß für 3D-CMOS im wesentlichen zwei Schaltkreisfamilien in Frage kommen. Zum einen die bewährte statische CMOS-Technologie, im folgenden *CMOS* genannt. CMOS bietet vor allem den Vorteil einer sehr breiten Unterstützung durch kommerzielle Werkzeuge. Jedoch wird die Verdrahtung dadurch erschwert, daß sich die gestapelten Transistoren Kontakte nur in Ausnahmefällen teilen können.

Zum anderen bietet sich die Double Pass Logic (DPL) an [6-8, 10]. **Bild 2** zeigt eine Grundzelle der DPL. Wie man leicht sieht, handelt es sich um zwei parallel geschaltete 2:1 Multiplexer. Die beiden Multiplexer sind so geschaltet, daß der Ausgang y stets vollen Signalpegel erreicht, unabhängig von den Werten von A, B und SEL. Durch geeignete Beschaltung dieser Grundzelle, lassen sich alle logischen Grundfunktionen realisieren. Mit mehreren solcher Zellen lassen sich auch beliebige sequentielle Schaltungen implementieren.

Die DPL erfüllt alle strukturellen Anforderungen: Die Anzahl der p-Transistoren ist gleich der Anzahl der n-Transistoren, jedes Transistorpaar teilt sich sowohl die Gate- als auch die Drainanschlüsse und zwei Transistorpaare teilen sich den Ausgang y, d.h. für die vier Transistoren werden nur fünf Kontakte benötigt.

DPL ist ähnlich robust wie CMOS, in Bezug auf Rauschen, die Dimensionierung der einzelnen Transistoren und Prozeßschwankungen. Dies erlaubt ihren Einsatz in einer Sea-of-Gates Umgebung.

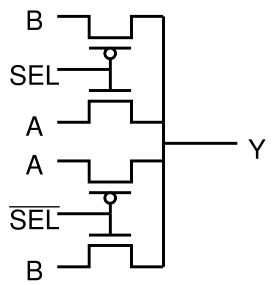

Bild 2: 2:1 Multiplexer in DPL

Des weiteren wird in der Literatur von einem guten Power-Delay-Produkt berichtet [6].

3 Die DPL-Bibliothek

Wie im vorigen Kapitel erläutert, erscheint die DPL als die geeignetste Schaltkreistechnologie für den 3D-CMOS-Prozeß. Deshalb wurde eine Zellbibliothek in DPL entwickelt [13]. Für die n-Transistoren wurden Transistoren minimaler Breite (2.2 µm) gewählt. Die p-Transistoren sind mit 3.3 µm um 50% größer.

Da in bisherigen Veröffentlichungen zur DPL die Aussagen über Flächenbedarf, Geschwindigkeit und Energieverbrauch auseinander gehen ([6] bzw. [10]), wurde parallel zur DPL-Bibliothek eine Bibliothek in CMOS gleichen Umfangs aufgebaut.

Zum Vergleich der beiden Schaltungstechniken wurden dann mit beiden Bibliotheken 32-Bit Carry Lookahead Addierer (CLA) aufgebaut, wobei für die DPL verschiedene Varianten implementiert wurden, die im folgenden erläutert werden.

3.1 Pufferung

Aus Bild 2 wird ersichtlich, daß das DPL-Grundgatter im allgemeinen nicht an die Versorgungsspannung angeschlossen ist. Um eine ausreichende Flankensteilheit zu gewährleisten, müssen deshalb Inverter zur Pufferung eingesetzt werden. Aus der Vielzahl der denkbaren und untersuchten Strategien zur Pufferung, sollen im folgenden die interessantesten vorgestellt werden.

3.1.1 Ausgangspuffer

In dieser ersten Variante (**Bild 3**) wurden Pufferinverter an den Ausgängen jedes DPL-Gatters plaziert. In den Fällen, in denen der Ausgang nur Gates von Folgegattern treibt, kann auf den Puffer verzichtet werden, z.B. zum Treiben der Eingänge SEL und $\overline{\text{SEL}}$ in Bild 2.

Diese Variante hat den Vorteil, daß sie Puffer nur sehr sparsam einsetzt und deshalb zu den kompaktesten DPL-Schaltungen führt.

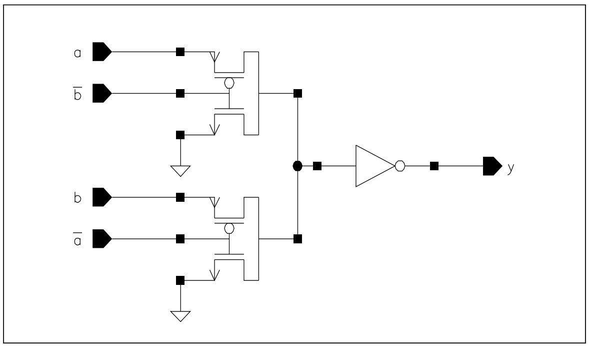

Bild 3: nand2 mit Ausgangspuffer

3.1.2 Eingangspuffer

Bild 4 zeigt eine weitere Möglichkeit zur Anordnung der Puffer. In diesem Fall wurden die Puffer an den Eingängen plaziert und zwar so, daß sie die Pass-Eingänge treiben. Dies stellt eine sehr interessante Alternative dar, weil diese Gatter keine komplementären Eingangssignale benötigen und an allen Primäreingängen nur Transistor-Gates sichtbar sind. D.h. diese Gatter sind von außen nicht von statischen CMOS-Gattern unterscheidbar und können dementsprechend von Synthesewerkzeugen auch als solche behandelt werden. Der Preis ist die erhöhte Anzahl von Invertern gegenüber der Variante aus Bild 3.

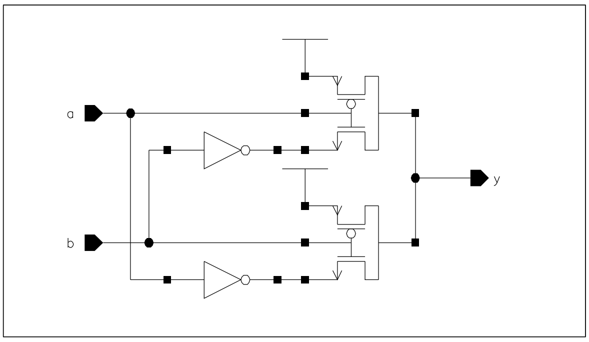

Bild 4: nand2 mit Eingangspuffer

3.2 Single Rail - Dual Rail

DPL-Gatter benötigen meist komplementäre Eingangssignale. Diese lassen sich auf zwei Arten erzeugen: Zum einen mit einem zusätzlichen Inverter am Ausgang, wie in **Bild 5** gezeigt. Zum anderen mit einem komplementären Gatter, das das negierte Signal parallel zum ersten Gatter erzeugt (**Bild 6**).

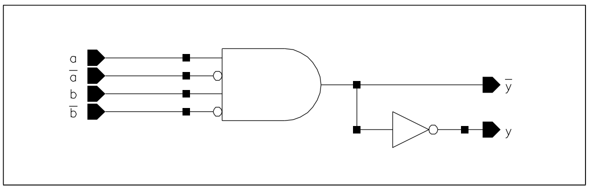

Bild 5: nand2/and2 in Single-Rail DPL

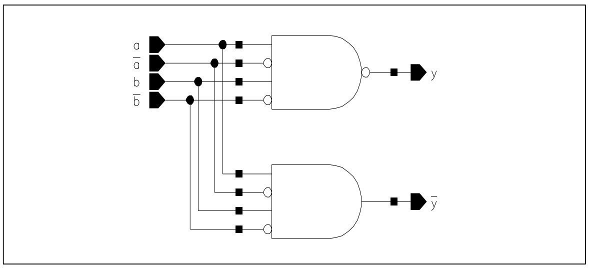

Bild 6: nand2/and2 in Dual-Rail DPL

Im zweiten Fall, der Dual Rail Ausführung, erwartet man natürlich schnellere Schaltungen, weshalb diese Version in [6] *Fast DPL* genannt wird.

3.3 Verklemmungen

Beim Aufbau der verschiedenen Addierer-Varianten in DPL, stellten wir immer wieder fest, daß logisch korrekte Schaltungen fehlerhafte Ergebnisse lieferten. Wir nannten dieses Phänomen *Verklemmung* und wollen im folgenden deren Entstehung erläutern.

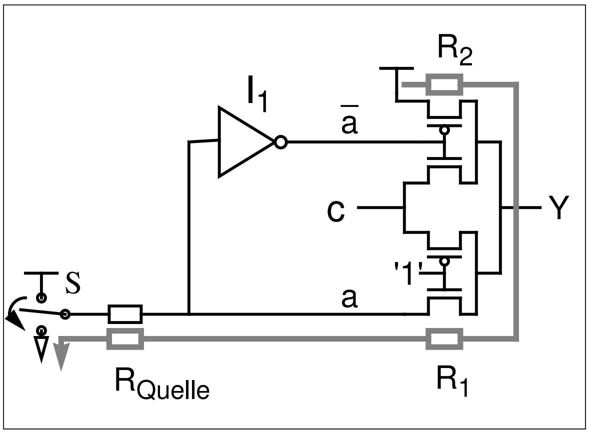

Bild 7: Entstehung von Verklemmungen

Angenommen, die Anordnung von **Bild 7** sei gegeben. Das treibende Gatter werde durch einen Schalter *S* und seinen Innenwiderstand R_{Quelle} idealisiert dargestellt. Zum Zeitpunkt t=0 schalte der Schalter *S* von high nach low. Der vor dem Schalten leitende Pfad des Gatters wird in Bild 7 durch die Widerstände R_1 und R_2 vereinfacht dargestellt. Wenn *S* schaltet, fließt ein Strom von der Versorgungsspannung über R_2, R_1 und R_{Quelle} nach Masse. Wegen des Spannungsabfalls an R_{Quelle} kann es vorkommen, daß Eingang *a* die Schwellspannung des Inverters I_1 nicht erreicht. D.h., I_1 schaltet nicht um, $\overline{a}$ bleibt low und der Kurzschluß kann nicht aufgelöst werden, die Schaltung versagt.
In einigen Fällen, können solche Situationen durch geschickten Aufbau der Schaltung vermieden werden. Dies ist jedoch nicht immer möglich, dann kann der Konflikt nur durch einen stärkeren Eingangstreiber gelöst werden.

3.4 Simulationsergebnisse

Wie bereits erwähnt, wurde für jede der genannten Varianten ein 32-Bit CLA aufgebaut und mit dem Cadence Spectre Analogsimulator bei einer Versorgungsspannung von 2V simuliert. Da zum Zeitpunkt dieser Untersuchungen noch keine Technologiedaten für die 3-dimensionale SOI-Version zur Verfügung standen, floß nur die T-Gate-Technologie in die Transistorparameter mit ein (Bezeichnung *Hiperlogic*). Die in Tabelle 1 zusammengefaßten Ergebnisse haben deshalb nur qualitativen Charakter.
Die Bezeichnungen der Addierer bedeuten im einzelnen:

- cadder: CMOS
- dadder: DPL, Single Rail, Ausgangspuffer
- ddadder: DPL, Dual Rail, Ausgangspuffer
- dsadder: DPL, Single Rail, Eingangspuffer
- ddsadder: DPL, Dual Rail, Eingangspuffer

t_d kennzeichnet die Verzögerungszeit, *E* die durchschnittliche Energie pro Taktperiode.

Addierer	Hiperlogic		ES2	
	t_d/ns	E/pJ	t_d/ns	E/pJ
cadder	6.70	14.4	6.76	71.6
dadder	7.07	22.9	6.90	114
ddadder	9.46	38.8	9.62	190
dsadder	6.71	25.8	7.21	129
ddsadder	6.40	46.6	6.94	229

Tabelle 1: Verzögerung und Energieverbrauch der CLA-Varianten

Zum Vergleich wurden die Simulationen auch mit ES2-Parametern durchgeführt. In diesem Fall allerdings mit 5V Versorgungsspannung.

Es wird offensichtlich, daß Schaltungen in Hiperlogic-Technologie bei leichtem Geschwindigkeitsvorteil nur ca. 20% der Energie von ES2-Schaltungen benötigen.

Entgegen der meisten bisherigen Veröffentlichungen erreichte die DPL allerdings nur etwa die Geschwindigkeit der CMOS-Realisierung, wobei die Leistungsaufnahme um ca. 70-200% höher lag.

Die Dual-Rail Varianten sind kaum schneller und in einigen Fällen sogar langsamer als Single Rail, benötigen allerdings fast die doppelte Energie pro Schaltvorgang.

4 Analyse der Ergebnisse

Es stellt sich nun natürlich die Frage, weshalb die hier vorgestellten Ergebnisse im Widerspruch zu den meisten bisherigen Veröffentlichungen zur DPL stehen [6-8].

Es zeigt sich, daß die DPL bisher fast ausschließlich zum Entwurf von Makrozellen im full-custom Stil eingesetzt wurde. Hierbei macht man sich zu Nutze, daß im DPL-Teil einer Schaltung sehr kleine Transistoren verwendet werden können, und es zum Erreichen einer gewissen Treiberleistung ausreicht, die Puffer zu vergrößern (**Bild 8**). In der statischen CMOS-Technik hingegen, müssen hierzu alle Transistoren eines Gatters entsprechend skaliert werden.

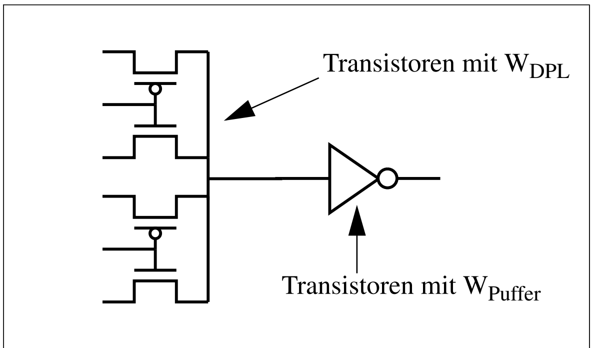

Bild 8: DPL-Gatter mit Pufferinverter

Um den Einfuß der unterschiedlichen Skalierung zu untersuchen, wurden 4-Bit CLA[1] mit verschiedenen Verhältnissen von Puffertransistorbreite (W_{Puffer}) und Transistorbreite im DPL-Teil (W_{DPL}) analog simuliert. Parallel hierzu wurden auch entsprechende Schaltungen in CMOS simuliert, wobei hier ausschließlich W_{Puffer} verwendet wurde.

Tabelle 2 und 3 fassen die Ergebnisse zusammen. Es zeigt sich, daß alle Schaltungen ab $W_{Puffer}/W_{DPL} \geq 2$ etwa die gleiche Verzögerung aufweisen, der Energieverbrauch jedoch ab einem Verhältnis 4:1 für DPL geringer wird als für CMOS. Würde man die parasitären Eigenschaften der Verdrahtung berücksichtigen, würde sich das Verhältnis wohl etwas früher zu Gunsten der DPL verschieben, weil auf Grund der kleineren Transistoren auch kürzere Verdrahtungslängen erreicht würden.

Addierer	W_{Puffer}/W_{DPL}			
	1	2	3	4
cadd4	2.66	2.51	2.46	2.43
dadd4	3.24	2.62	2.47	2.45
ddadd4	3.23	2.54	2.38	2.36

Tabelle 2: Einfluß von W_{Puffer}/W_{DPL} auf die Verzögerung (ns)

Addierer	W_{Puffer}/W_{DPL}			
	1	2	3	4
cadd4	1.76	3.15	4.54	5.93
dadd4	3.16	3.90	4.72	5.61
ddadd4	5.65	6.84	8.31	9.98

Tabelle 3: Einfluß von W_{Puffer}/W_{DPL} auf die Energieaufnahme (pJ)

Gemäß unserer bisherigen Untersuchungen, deutet allerdings alles darauf hin, daß bei dem für T-Gate-Transistoren idealen Verhältnis $W_{Puffer}/W_{DPL} = 1$ CMOS zu bevorzugen ist.

5 Zusammenfassung

Ausgehend von einer 3-dimensionalen CMOS-Technologie, die derzeit am IMS in Stuttgart entwicklt wird, wurde eine Schaltkreistechnik gesucht, die sich für die besonderen Randbedingungen dieser Technologie eignet: gleiche Anzahl von p- und n-Transistoren und gemeinsame Nutzung von Kon-

1. Aus Gründen der Simulationszeit, die für die 32-Bit CLA mehrere Stunden bis Tage beanspruchte, beschränkten wir uns bei diesen qualitativen Untersuchungen auf kleinere Schaltungen.

takten durch die gestapelten Transistoren.

Die DPL stellte sich unter diesen Gesichtspunkten als besonders geeignet heraus. Deshalb wurde in dieser Technik eine Zellbibliothek entwickelt.

Vergleiche zur statischen CMOS-Technik, die anhand von 32-Bit CLA angestellt wurden, zeigten jedoch, daß die DPL mehr Sorgfalt bei der Implementierung von Schaltungen in Hinblick auf die Probleme der Pufferung und der Verklemmungen erfordert.

Unter den gegebenen Randbedingungen, T-Gate- und Minimumtransistoren, stellte sich heraus, daß die CMOS-Technik wesentlich bessere Ergebnisse in Bezug auf Verzögerung und Energieverbrauch aufweist.

Dies mag sich jedoch unter anderen Randbedingungen ändern, wie anhand von Analogsimulationen gezeigt werden konnte.

In weiteren Arbeiten gilt es zu überprüfen, inwieweit die strukturellen Vorteile der DPL in einer 3D-CMOS-Umgebung die sonstigen Nachteile aufheben können. Hierzu muß jedoch abgewartet werden, bis die Technologiedaten der 3D-CMOS Technologie verfügbar sind.

Referenzen

[1] Dudek V., Appel W., Beer L., Digele G., Höfflinger B., *Lithography-Independent Nanometer Silicon MOS-FET's on Insulator*, IEEE Transactions on Electron Devices ED-43(10), 1996, pp. 1626-1632

[2] Roos G., *Zur drei-dimensionalen Integration von CMOS-Schaltungen*, VDI Verlag, Nr. 168, Dissertationsschrift

[3] Roos G., Höfflinger B., *Complex 3D-CMOS Circuits based on a Triple-Decker Cell*, IEEE Solid-State Circuits SC-27 (7), 1992, pp. 1067-1072

[4] Colinge J.P., *Silicon-on-Insulator*, Kluwer Academic Publishers, 1991.

[5] Weste N., Eshraghian Kamran, *Principles of CMOS VLSI Design*, Addison Wesley, 1993

[6] Ko U., Balsara P., Lee W., *Low Power Design Techniques for High-Performance CMOS Adders*, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 3, No. 2, June 1995, pp. 327-333

[7] Suzuki M. et al., *A 1.5-ns 32-b CMOS ALU in Double Pass-Transistor Logic,* IEEE Journal of Solid State Circuits, Vol. 28, No. 11, November 1993, pp. 1145-1150

[8] Prameswar A., Hara H., Sakurai T., *A High Speed, Low Power, Swing Restored Pass-Transistor Logic Based Multiply and Accumulate Circuit for Multimedia Applications*, IEEE 1994 Custom Integrated Circuits Conference, pp. 278-281

[9] Farnsworth C., Edwards D., Sikand S., *Utilising Dynamic Logic for Low Power Consumptions in Asynchronous Circuits*, Proceedings of International Symposium on Advanced Research in Asynchronous Circuits and Systems, IEEE Computer Society Technical Committee on VLSI, Salt Lake City, Utah, USA Nov. 3-5th 1994

[10] Correia P. et al., *Low-Power CMOS Digital Cell Libraries: Performance and Testability*, PATMOS '96, Bologna, Italy, pp. 307-316

[11] Hüntemann F., *Anwendungsspezifischer Entwurf von DOMINO-CMOS-Schaltnetzen im Gate-Matrix-Entwurfsstil*, VDI Verlag, Nr. 107, Dissertationsschrift

[12] Yoffa E., Hauge P., A*CORN: A Local Customization Approach to DCVS Physical Design*, 22nd Design Automation Conference, pp. 32-38

[13] A. Gerstlauer: *Entwicklung einer Zellbibliothek in CMOS und Passtransistorlogik für Low-Power Anwendungen*, Diplomarbeit Nr. 1483, Universität Stuttgart, IPVR-ISE, 1997

[14] Beunder M., Höfflinger B., Kernhof J., *New Directions in Semicustom Arrays*, IEEE Journal of Solid-State Circuits, Vol. 23, No. 3, June 1988, pp. 728-735